

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-127614

(43)Date of publication of application : 11.05.2001

(51)Int.Cl.

H03K 19/0175

H01L 27/04

H01L 21/822

(21)Application number : 11-308631

(71)Applicant : NEC CORP

(22)Date of filing : 29.10.1999

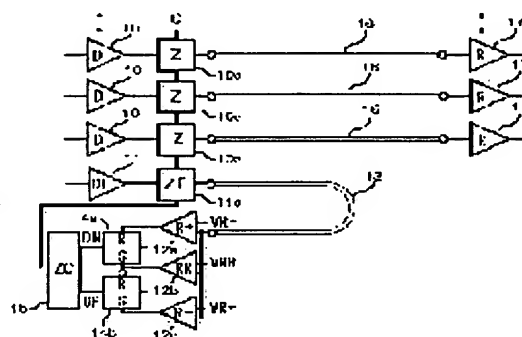
(72)Inventor : TAKAHASHI YUTAKA

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT AND ITS IMPEDANCE CONTROL METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To compensate dispersion in the characteristic impedance due to manufacture dispersion of a printed circuit board with respect to a semiconductor integrated circuit.

SOLUTION: The semiconductor integrated circuit consists of output buffers 10, 11 whose output impedance is controllable, reflection noise detection means 12a-12c, 14a, 14b that detect a reflection noise due to impedance mismatching in a waveform at a receiving end when actually driving a transmission line 13 of a printed circuit board, and a control circuit 15 that receives an output of the reflection noise detection means as an input signal to control the output impedance so as to eliminate the reflection noise.



## LEGAL STATUS

[Date of request for examination] 04.09.2000

[Date of sending the examiner's decision of rejection] 03.12.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本郵政特許 (J P) (12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-127614  
(P2001-127614A)

(43) 公開日 平成13年5月11日 (2001.5.11)

(51) Int. Cl. <sup>7</sup>	識別記号	フィードバック(参考)
H03K 19/0175	P I	H03K 19/00 101Q 5F038
H01L 27/04	H01L 27/04	H 5J066
21/822		F
	H03K 19/00	101F

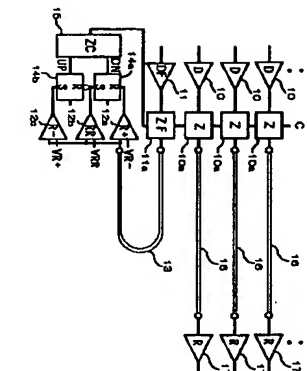
審査請求 有 請求項の数 8 OL (全 8 項)

(21) 出願番号	特願平11-308631	(71) 出願人	00004227 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成11年10月29日 (1999.10.29)	(72) 発明者	高橋 裕 東京都港区芝五丁目7番1号 日本電気株式会社社内 10096105

(74) 代理人  
弁護士 天野 広  
式会社内  
5/055 AM4 M40 B802 B824 B828  
B834 B838 B859 C00 C014  
C017 E307 E815 F07 FT10  
C020 K001

(54) [発明の名称] 半導体集積回路及びそのインピーダンス制御方法

(57) [要約]  
【課題】半導体集積回路において、プリント配線板の製造ばらつきによる特性インピーダンスばらつきを補償する。  
【解決手段】出力インピーダンス値が制御可能な複数の出力バッファ10、11と、出力バッファ11によって実際のプリント配線板の伝送路13を駆動したときの受端の波形におけるインピーダンス不整合による反射ノイズを検出する反射ノイズ検出手段12 a-12 c、14 a、14 bと、反射ノイズ検出手段の出力を入力信号として受信し、反射ノイズが消失するように出力インピーダンス値を制御する制御回路15と、からなる。



【特許請求の範囲】  
【請求項1】 プリント配線板の伝送路を駆動する、出力インピーダンス値が制御可能な少なくとも一つの出力バッファと、  
フィードバック機構と、 からなり、  
前記フィードバック機構は、  
前記出力バッファと同一の構成を有する制御用出力バッファと、  
前記制御用出力バッファに接続され、前記伝送路と同一の特性インピーダンスを有するフィードバック用伝送路と、  
前記制御用出力バッファがフィードバック用伝送路を駆動したときに得られるインピーダンス不整合を前記出力インピーダンス値にフィードバックし、もって、前記出力インピーダンス値を所望の値に制御する制御手段と、  
からなるものである半導体集積回路。  
【請求項2】 出力インピーダンス値が制御可能な複数の出力バッファと、  
前記複数の出力バッファのうちの一つによって実際にプリント配線板の伝送路を駆動したときの受端の波形におけるインピーダンス不整合による反射ノイズを検出する反射ノイズ検出手段と、  
前記反射ノイズ検出手段の出力を入力信号として受信し、前記反射ノイズが消失するように前記出力インピーダンス値を制御するインピーダンス制御信号を発生させる制御回路と、  
からなる半導体集積回路。  
【請求項3】 出力インピーダンス値が制御可能な少なくとも一つの出力バッファと、  
出力インピーダンス値が制御可能であり、前記出力バッファと同一の構成を有する制御用出力バッファと、  
前記制御用出力バッファによって実際にプリント配線板の伝送路を駆動したときの受端の波形におけるインピーダンス不整合による反射ノイズを検出する反射ノイズ検出手段と、  
前記制御用出力バッファと前記ノイズ検出手段とを接続する伝送路と、  
前記反射ノイズ検出手段の出力を入力信号として受信し、前記反射ノイズが消失するように前記出力インピーダンス値を制御するインピーダンス制御信号を発生させる制御回路と、  
からなる半導体集積回路。  
【請求項4】 前記反射ノイズ検出手段は複数の駆動レシーバからなり、各駆動レシーバの参照電圧は駆動の中心からずらして設定されていることを特徴とする請求項2又は3に記載の半導体集積回路。  
【請求項5】 前記ノイズ反射手段はさらにセットリセットトリップフロップを備え、前記駆動レシーバの出力はクロック入力として前記セットリセットトリップフロップに入力され、前記制御回路は前記セットリセット

リップフロップの出力信号を受信し、該出力信号に基づき、反射ノイズの有無を判定するものであることを特徴とする請求項4に記載の半導体集積回路。  
【請求項6】 前記制御回路は、前記出力信号に基づき、前記出力インピーダンス値が前記伝送路の特性インピーダンスよりも大きい場合には、前記出力インピーダンス値を減らすようなインピーダンス制御信号を発生し、前記出力インピーダンス値が前記伝送路の特性インピーダンスよりも小さい場合には、前記出力インピーダンス値を増やすようなインピーダンス制御信号を発生するものであることを特徴とする請求項5に記載の半導体集積回路。  
【請求項7】 出力インピーダンス値が制御可能な出力バッファによって実際にプリント配線板の伝送路を駆動したときの受端の波形におけるインピーダンス不整合による反射ノイズを検出する第1の過程と、  
前記反射ノイズが消失するように前記出力インピーダンス値を制御する第2の過程と、  
からなる半導体集積回路におけるインピーダンス制御方法。  
【請求項8】 前記第2の過程においては、前記出力インピーダンス値が前記伝送路の特性インピーダンスよりも大きい場合には、前記出力インピーダンス値を減らすように前記出力インピーダンス値を制御し、前記出力インピーダンス値が前記伝送路の特性インピーダンスよりも小さい場合には、前記出力インピーダンス値を増やすように前記インピーダンス値を制御するものであることを特徴とする請求項7に記載の半導体集積回路におけるインピーダンス制御方法。  
【発明の詳細な説明】  
【000011】  
【発明の属する技術分野】 本発明は半導体集積回路及び半導体集積回路におけるインピーダンスを制御する方法に関する。  
【000021】  
【従来の技術】 半導体集積回路は、特に、高速伝送のために用いられることが多い。このような半導体集積回路は、一般的に、インピーダンス整合機構を有することを必要であり、近年では、特に、半導体製造プロセスのばらつきや動作時の温度の変動による出力インピーダンスの変動を補償することが要求されている。  
【000031】 この要求に応えるために、例えば、ISS CC96/SESSION9/SRAM/PAPER FA9.3 Figure 5: Programmable impedance circuitにおいては、集積回路の外部に取り付けた基準抵抗 (以下「外部基準抵抗」と呼ぶ) に対して出力インピーダンスを整合させることが提案されている。  
【000041】  
【発明が解決しようとする課題】 しかしながら、この提

3

案は、実際にプリント配線板の伝送路を伝送させたときに生じる反射ノイズにかかわらず、単に出力インピーダンスを外部基準抵抗に対して整合させるものである。で、プリント配線板の製造ばらつきによって伝送路の特性インピーダンスがばらついた場合には、出力インピーダンスを補償することができないという欠点がある。

【0005】このように、上記の提案は、外部基準抵抗値をプリント配線板の特性インピーダンスのばらつきに合わせて変更しない限り、ノイズマージンが低く、従って、大量生産には適さないという欠点がある。

【0006】上記の欠点以外にも、特開昭63-31311号公報、特開平8-321769号公報、特開平10-105304号公報、特開平11-27132号公報、特開平11-55106号公報においても、半導体集積回路における出力インピーダンスを調整する回路が提案されている。

【0007】しかしながら、これらの出力インピーダンス調整回路は、例えば、インピーダンス調整用の外部回路を必要とし、回路規模を拡大するなどの欠点を有するものであった。

【0008】本発明は、以上のような従来技術における問題点を鑑みなされたものであり、大幅に回路規模を拡大することなく、プリント配線板の製造ばらつきによる特性インピーダンスばらつきをも補償し、量産性に優れた半導体集積回路及びそのインピーダンス調整方法を提供することを目的とする。

【0009】

【課題を解決するための手段】この目的を達成するため、本発明のうち、請求項1は、プリント配線板の伝送路を駆動する、出力インピーダンス値が制御可能な少なくとも一つの出力バッファと、フイードバック機構と、からなり、フイードバック機構は、出力バッファと同一の構成を有する制御用出力バッファと、制御用出力バッファに接続され、伝送路と同一の特性インピーダンスを有するフイードバック用伝送路と、制御用出力バッファがフイードバック用伝送路を駆動したときに得られるインピーダンス不整合を出力インピーダンス値にフイードバックし、もって、出力インピーダンス値を所望の値に制御する制御手段と、からなるものである半導体集積回路を提供する。

【0010】本請求項に係る半導体集積回路によれば、フイードバック機構により、実際の伝送路を駆動したときに発生するインピーダンス不整合が検出され、検出されたインピーダンス不整合は制御手段により、出力インピーダンス値にフイードバックされ、出力インピーダンス値が所望の値に調整される。このように、本請求項に係る半導体集積回路によれば、半導体製造プロセスのバラツキや動作温度変動による出力インピーダンスの変動を補償し、インピーダンス整合した伝送路を行うことが可能になる。

(3)

4

【0011】請求項2は、出力インピーダンス値が制御可能な複数の出力バッファと、複数の出力バッファのうちの一つによって実際にプリント配線板の伝送路を駆動したときの受端の波形におけるインピーダンス不整合による反射ノイズを検出する反射ノイズ検出手段と、反射ノイズ検出手段の出力を入力信号として受信し、反射ノイズが消失するように出力インピーダンス値を制御するインピーダンス制御信号を発生させる制御回路と、からなる半導体集積回路を提供する。

10

【0012】本請求項に係る半導体集積回路によれば、反射ノイズ検出手段により、実際の伝送路を駆動したときに発生するインピーダンス不整合に起因する反射ノイズが検出される。制御回路は、検出された反射ノイズに基づき、この反射ノイズを増大するように出力インピーダンス値を制御する。このように、本請求項に係る半導体集積回路によっても、請求項1の場合と同様に、半導体製造プロセスのバラツキや動作温度変動による出力インピーダンスの変動を補償し、インピーダンス整合した伝送路を行うことが可能になる。

20

【0013】請求項3は、出力インピーダンス値が制御可能な少なくとも一つの出力バッファと、出力インピーダンス値が制御可能であり、出力バッファと同一の構成を有する制御用出力バッファと、制御用出力バッファによって実際にプリント配線板の伝送路を駆動したときの受端の波形におけるインピーダンス不整合による反射ノイズを検出する反射ノイズ検出手段と、制御用出力バッファとノイズ検出手段とを接続する伝送路と、反射ノイズが消失するように出力インピーダンス値を制御するインピーダンス制御信号を発生させる制御回路と、からなる半導体集積回路を提供する。

30

【0014】本請求項に係る半導体集積回路によれば、制御用出力バッファによって、実際にプリント配線板の伝送路が駆動され、そのときのインピーダンス不整合による反射ノイズが反射ノイズ検出手段により検出される。制御回路は、検出された反射ノイズに基づき、この反射ノイズが消失するように出力インピーダンス値を制御する。このように、本請求項に係る半導体集積回路によっても、請求項1又は2の場合と同様に、半導体製造プロセスのバラツキや動作温度変動による出力インピーダンスの変動を補償し、インピーダンス整合した伝送路を行うことが可能になる。

40

【0015】請求項4に記載されているように、反射ノイズ検出手段は、例えば、複数の差動レベラからなるものとして設けられる。この場合、各差動レベラの参照電圧は距離の中心からしきりで設定される。

【0016】また、請求項5に記載されているように、ノイズ反射手段はさらにセトリセトリセットフリックフロップを備えることが好ましい。この場合、差動レベラの出力はクロック入力としてセトリセトリフリックフロ

5

ップに入力され、制御回路はセトリセトリフリックフロップの出力信号を受信し、検出力信号に基づき、反射ノイズの有無を判定する。

【0017】請求項6に記載されているように、上述の請求項5に係る半導体集積回路においては、制御回路は、出力信号に基づき、出力インピーダンス値が伝送路の特性インピーダンスよりも大きい場合には、出力インピーダンス値を増やすようなインピーダンス制御信号を発生するものとして構成することが好ましい。

【0018】請求項7は、出力インピーダンス値が制御可能な出力バッファによって実際にプリント配線板の伝送路を駆動したときの受端の波形におけるインピーダンス不整合による反射ノイズを検出する第1の過程と、反射ノイズが消失するように出力インピーダンス値を制御する第2の過程と、からなる半導体集積回路におけるインピーダンス制御方法を提供する。

10

【0019】本請求項に係る方法によれば、請求項1、2又は3に係る半導体集積回路と同様の効果を得ることができる。

20

【0020】請求項8に記載されているように、第2の過程においては、出力インピーダンス値が伝送路の特性インピーダンスよりも大きい場合には、出力インピーダンス値を減らすように出力インピーダンス値を制御し、出力インピーダンス値が伝送路の特性インピーダンスよりも小さい場合には、出力インピーダンス値を増やすようにインピーダンス値を制御するものとすることができる。

30

【0021】  
【発明の実施の形態】図1は、本発明の一実施形態に係る半導体集積回路のブロック図である。

【0022】本実施形態に係る半導体集積回路は、出力インピーダンス値が制御可能な複数の出力バッファ10（図中、「D」で示す）と、出力インピーダンス値が制御可能な制御用出力バッファ11（図中、「DF」で示す）と、制御用出力バッファ11によって実際にプリント配線板の伝送路を駆動したときの受端の波形におけるインピーダンス不整合による反射ノイズを検出する第1乃至第3差動レベラ12a、12b及び12c（図中、それぞれ「R+」、「R-」、「R」で示す）と、制御用出力バッファ11と第1乃至第3差動レベラ12a、12b及び12cとを接続するフイードバック用伝送路13と、第1乃至第3差動レベラ12a、12b及び12cの出力をクロック入力として入力する第1及び第2セトリセトリセットフリックフロップ14a、14bと、第1及び第2セトリセトリセットフリックフロップ14a、14bの出力信号を入力信号として受信し、この出力信号に基づき、反射ノイズが消失するように

出力バッファ10の出力インピーダンス値を制御するインピーダンス制御信号Cを発生させるインピーダンス制御信号生成回路15（図中、「ZC」で示す）と、からなる。

【0023】第1乃至第3差動レベラ12a、12b及び12cは、第1及び第2セトリセトリセットフリックフロップ14a及び14bとが反射ノイズ検出手段を形成している。

【0024】各出力バッファ10は出力インピーダンス部10a（図中、「Z」で示す）を備えており、インピーダンス制御信号Cは出力インピーダンス部10aにおいて受信される。各出力バッファ10の出力インピーダンス値はインピーダンス制御信号Cにより制御される。各出力バッファ10からの出力インピーダンスは、インピーダンス制御信号Cにより制御された後、プリント配線板の伝送路16を駆動し、さらに、実際に使用されるレベラ17（図中、「R」で示す）に伝送される。

10

【0025】制御用出力バッファ11は、出力バッファ10と同様に、出力インピーダンス部11a（図中、「ZP」で示す）を備えており、インピーダンス制御信号生成回路15から発生されるインピーダンス制御信号Cは出力インピーダンス部11aにおいて受信される。出力バッファ11の出力インピーダンス値はインピーダンス制御信号Cにより制御される。

【0026】制御用出力バッファ11は、フイードバック用伝送路13を介して、第1乃至第3差動レベラ12a、12b及び12cと接続されている。制御用出力バッファ11からの出力インピーダンスは、インピーダンス制御信号Cにより制御された後、フイードバック用伝送路13を駆動し、次いで、第1乃至第3差動レベラ12a、12b及び12cに伝送される。

【0027】制御用出力バッファ11及びその出力インピーダンス部11aは通常信号用の出力バッファ10及びその出力インピーダンス部10aと同一の回路で構成されている。

【0028】制御用出力バッファ11の出力は受信信号と等長のフイードバック用伝送路13を駆動する。すなわち、フイードバック用伝送路13は、通常の伝送路16と特性インピーダンスが等しいものとして設計される。【0029】また、フイードバック用伝送路13は途中で折り返され、反射ノイズを検出するために設けられた第1乃至第3差動レベラ12a、12b、12cの入力端子に接続されている。

【0030】第1乃至第3差動レベラ12a、12b、12cには、それぞれ参照電圧VR+、VR及びVR+が印加されている。

7

8

【0031】第1差動レシーバ12aの出力端子は第1

セットリセットリフリップフロップ14aのリセット端子に接続されている。第2差動レシーバ12bの出力端子は第1セットリセットリフリップフロップ14aのセット端子及び第2セットリセットリフリップフロップ14bのリセット端子に接続されている。第3差動レシーバ12cの出力端子は第2セットリセットリフリップフロップ14bのセット端子に接続されている。

【0032】第1及び第2セットリセットリフリップフロップ14a、14bの各出力はインバーダンス制御信号生成回路15に入力される。

【0033】インバーダンス制御信号生成回路15は、以下に述べるように、第1及び第2セットリセットリフリップフロップ14a、14bの各出力に基づいて、各出力カバレッジ10の出力インバーダンス値を増減させるインバーダンス制御信号Cを発生する。

【0034】以上のような構成を有する本実施形態に係る半導体集積回路は次のように作動する。

【0035】まず、高速伝送路においてインバーダンス不整合により発生する反射ノイズによって、動作マージンがどのように減少するかについて説明する。

【0036】図2は高速伝送路における受端波形を示す。図2 (A) は、インバーダンス整合され、反射ノイズが発生していない場合の受端波形を示す。図2 (B) は、出力カバレッジ10の出力インバーダンスが伝送路16の特性インバーダンスに比べて大きく、インバーダンス不整合による反射ノイズが発生している場合の受端波形を示す。図2 (C) は、出力カバレッジ10の出力インバーダンスが伝送路16の特性インバーダンスに比べて小さく、インバーダンス不整合による反射ノイズが発生している場合の受端波形を示す。

【0037】各波形振幅の中心に引いてある水平破線は、各差動レシーバ12a、12b、12cの参照電圧であり、この参照電圧と受端信号のハイレベル及びローレベルとの電位差が所望の値より小さい場合に、ノイズマージンが劣化する。

【0038】図2 (B)、(C)の斜線部が、反射ノイズによりノイズマージンが劣化している領域である。このようにノイズマージンが劣化している状態では、シグナルとしての動作マージンが図2 (A)に比較して著しく低下することになる。

【0039】次に、本実施形態に係る半導体集積回路におけるインバーダンス制御動作について、図3のタイミング図を用いて説明する。

【0040】図3は、本実施形態に係る半導体集積回路の動作を説明するタイミング図である。

【0041】インバーダンス不整合による反射ノイズの発生については、上述したとおりである。以下、本実施形態に係る半導体集積回路において、この反射ノイズを検出することにより、出力インバーダンスを制御し、イ

ンバーダンス整合をさせる動作について説明する。

【0042】図2 (B) に示したように、バンプアの出カインバーダンス値がフリント板伝送路16の特性インバーダンスより大きい場合は、信号が立ち上がりとき、定常状態のハイレベルHに達する前に、ハイレベルより小さい電圧V1の期間があるという特徴がある。

【0043】図2 (C) に示したように、バンプアの出カインバーダンス値がフリント板伝送路16の特性インバーダンスより小さい場合は信号が立ち上がりとき、定常状態のハイレベルHに達する前に、ハイレベルより大きい電圧V2の期間があるという特徴がある。

【0044】本実施形態に係る半導体集積回路においては、これらの反射ノイズの特徴から、第3及び第1差動レシーバ12c、12aの参照電圧VR+、VR-は、図2 (B)、(C) に示すように、定常的なハイレベルHからずらして、ノイズを検出できるようにする。

【0045】すなわち、第3差動レシーバ12cの参照電圧VR+は以下のように設定される。

【0046】 $V1 < VR+ < H$

また、第1差動レシーバ12aの参照電圧VR-は以下のように設定される。

【0047】 $H < VR- < V2$

次に、図2 (B) 及び (C) に示した反射ノイズを検出する動作について説明する。

【0048】図3は図1のプロック図に対応するタイミング図である。

【0049】制御用出力カバレッジ11には、図3 (1) に示すように、インバーダンス制御用の方形波入力される。

【0050】フリップバンプ用伝送路13を伝搬してきた信号の第3及び第1差動レシーバ12c、12aの受端における波形は図3 (2) 及び (3) にそれぞれ示されている。

【0051】第3及び第1差動レシーバ12c、12aの参照電圧は、図3 (2) 及び (3) に示すように、第2差動レシーバ12bの参照電圧VR+が振幅の中心になるように、また、第3差動レシーバ12cの参照電圧VR+がハイレベルHより低く、かつ、第1差動レシーバ12aの参照電圧VR-がハイレベルHより高く設定されている。

【0052】第1乃至第3差動レシーバ12a、12b、12cの出力は図3 (5)、(4)、(6) にそれぞれR-、R、R+として示されている。図3 (5)の第1差動レシーバ12aの出力R+及び図3 (6)の第3差動レシーバ12cの出力R+については、ノイズを検出した場合の波形を強調で、インバーダンス整合され、ノイズが検出されない場合の波形を破線で示している。

【0053】ノイズが検出されない場合には、第1差動レシーバ12aの出力R-の波形は第2差動レシーバ1

9

2bの出力R+とほぼ同様になり、また、第3差動レシーバ12cの出力R+の波形はローレベル固定となる。

【0054】これらの出力波形は第1又は第2セットリセットリフリップフロップ14a、14bのセット端子またはリセット端子に入力される。第1セットリセットリフリップフロップ14aの出力は図3 (8) にDNとして示されており、第2セットリセットリフリップフロップ14bの出力は図3 (7) にUPとして示されている。

【0055】図3 (7) に示すUPにおいては、受端波形が図3 (2) のように出力インバーダンスがフリント板伝送路の特性インバーダンスより小さいことによる反射ノイズが発生した場合に、パルスが発生する。

【0056】図3 (8) に示すDNにおいては、受端波形が図3 (3) のように出力インバーダンスがフリント板伝送路の特性インバーダンスより大きいことによる反射ノイズが発生した場合に、パルスが発生する。

【0057】図3 (7) 及び (8) の破線で示したように、ノイズを検出しない場合には、第1及び第2セットリセットリフリップフロップ14a、14bの出力DN及びUPはともにローレベル固定となる。

【0058】第1及び第2セットリセットリフリップフロップ14a、14bの出力DN及びUPはインバーダンス制御信号生成回路15に入力される。

【0059】インバーダンス制御信号生成回路15の動作は、前述の関連技術文献にも記載されているように、同業者によって既知のものである。例えば、インバーダンス制御信号生成回路15はアツグダランカウンタその他の要素から構成されており、第2セットリセットリフリップフロップ14bからUPパルスが入力された場合には、出力インバーダンス値を現在の値より増加させ、また、第1セットリセットリフリップフロップ14aからDNパルスが入力された場合には、出力インバーダンス値を現在の値より減少させるように、それぞれインバーダンス制御信号Cを生成する。

【0060】以上のように、本実施形態に係る半導体集積回路においては、出力カバレッジ10及び制御用出力カバレッジ11の出力インバーダンスが増減すると、その増減量がフリップバンプ用伝送路13を通してフリップバンスされる。このフリップバンプが繰り返され、最終的にインバーダンス整合された状態が安定する。

【0061】以上のように、本実施形態に係る半導体集積回路においては、出力インバーダンス値が制御可能な制御用出力カバレッジ11により受端のフリント板伝送路第13を駆動させ、その受端波形の反射ノイズを検出し、その反射ノイズが少くなる方向に各出力カバレッジ10の出力インバーダンス値を制御することにより、半導体製造プロセスばらつきや動作温度変動による出力インバーダンス値の変動を補償し、インバーダンス整合した伝送を行うことができる。

10

【0062】さらに、従来の基盤外部抵抗に整合させる方式によっては、フリント板の製造ばらつきによるフリント板伝送路の特性インバーダンスの変動を補償することは不可能であったが、本実施形態はこれを可能にし、高ノイズマージンの高速伝送を実現するという効果がある。

【0063】なお、上記実施形態においては、立ち上がり側の反射ノイズを検出できるように第1乃至第3差動レシーバ12a、12b、12cの参照電圧VR-、VR+を設定しているが、立ち下がり側の反射ノイズを検出できるような参照電圧を設定することもできる。

【0064】また、ハイ側及びロー側の出力インバーダンスを個別に制御できるバンプAの場合には、第1乃至第3差動レシーバ12a、12b、12c及び第1及び第2セットリセットリフリップフロップ14a、14bからなる反射ノイズ検出手段とインバーダンス制御信号生成回路15とを2組設け、各々独立に制御することもできる。

【0065】

【発明の効果】以上のように、本発明に係る半導体集積回路においては、出力インバーダンス値が制御可能な制御用出力カバレッジにより実際のフリント板伝送路を駆動させ、その受端波形の反射ノイズを検出し、その反射ノイズが少くなる方向に出力インバーダンス値を制御する、これにより、半導体製造プロセスばらつきや動作温度変動による出力インバーダンス値の変動を補償し、インバーダンス整合した伝送を行うことができる。

【図面の簡単な説明】  
【図1】本発明の一実施形態に係る半導体集積回路のプロック図である。

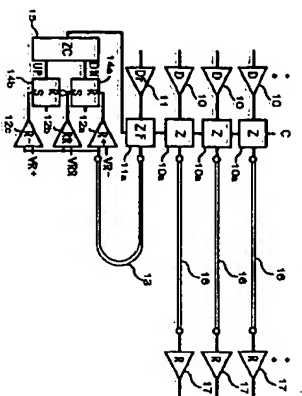
【図2】高速伝送路における受端波形を示す波形図である。

【図3】図1に示した半導体集積回路の動作を説明するタイミングチャートである。

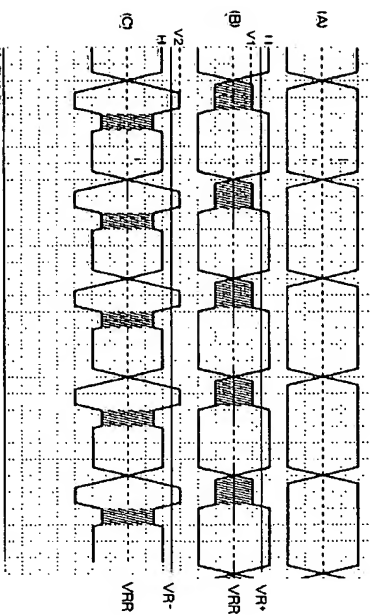
【符号の説明】

10 出力バンプ  
10a 出力インバーダンス部  
11 制御用出力カバレッジ  
11a 出力インバーダンス部  
12a 第1差動レシーバ  
12b 第2差動レシーバ  
12c 第3差動レシーバ  
13 フリップバンプ用伝送路  
14a 第1セットリセットリフリップフロップ  
14b 第2セットリセットリフリップフロップ  
15 インバーダンス制御信号生成回路  
16 伝送路  
17 レシーバ

【図1】



【図2】



【図3】

